

Set : Items : Description

---

?ss pn=63313836

S1 1 PN=63313836

?t s1/4/1

1/4/1

FN- DIALOG(R) File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- MANUFACTURE OF ELECTRIC/ELECTRONIC CIRCUIT DEVICE

PN- 63-313836 -JP 63313836 A-

PD- December 21, 1988 (19881221)

AU- MIYAZAKI HIROSHI; HONMA YOSHIO; MUKAI KIICHIRO

PA- HITACHI LTD [000510] (A Japanese Company or Corporation), JP (Japan)

AN- 62-148957 -JP 87148957-

AN- 62-148957 -JP 87148957-

AD- June 17, 1987 (19870617)

IC- -4- H01L-021/88

CL- 42.2 (ELECTRONICS -- Solid State Components)

SO- Section: E, Section No. 743, Vol. 13, No. 155, Pg. 151, April 14, 1989  
(19890414)

AB- PURPOSE: To enable a highly reliable interlayer connection of wirings to be established even if the multiple layer wiring structure is miniaturized by coating the title device with an upper layer wiring without exposing it to oxidative atmosphere.

CONSTITUTION: After vapor reduction processing by hydrogen or carbon monoxide before forming an upper layer wiring 25 on a lower layer wiring 23, the title device is immediately coated with the upper layer wiring 25 without exposing to oxidative atmosphere.

Consequently, the overall contact surface of the lower layer wiring 23 and the upper layer wiring 25 can be used for electric conduction so that, even if the wiring width of the lower layer wirings 23 is narrower than viahole diameter, sufficient contact space may be secured using the sides of the lower layer wirings 23. Through these procedures, the contact resistance can be reduced to enhance the electromigration resistance so that the multilayer interconnection structure may be miniaturized without deteriorating the reliability.

?ss pn=6224194

S2 1 PN=6224194

?t s2/4/1

2/4/1

FN- DIALOG(R) File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- MANUFACTURE OF SEMICONDUCTOR DEVICE

PN- 06-224194 -JP 6224194 A-

PD- August 12, 1994 (19940812)

AU- AWAYA NOBUYOSHI; ARITA MITSUNOBU

PA- NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese Company or Corporation), JP (Japan)

AN- 05-010852 -JP 9310852-

AN- 05-010852 -JP 9310852-

AD- January 26, 1993 (19930126)

IC- -5- H01L-021/3205; H01L-021/285; H01L-021/90

CL- 42.2 (ELECTRONICS -- Solid State Components)

KW- R004 (PLASMA)

SO- Section: E, Section No. 1628, Vol. 18, No. 590, Pg. 60, November 10, 1994 (19941110)

AB- PURPOSE: To embody a wiring structure, wherein the lateral etching of an intermediate metallic layer is suppressed, and uncontaminated copper is exposed to the bottom part of a via hole, and further, both the execution of an optimum pretreatment for burying copper in the via hole by a selective chemical gas phase reaction and the process of the pretreatment are made possible.

CONSTITUTION: A via hole 208 to whose bottom surface a first copper layer 204 of a first wiring layer is exposed is formed. The copper on the bottom surface of the via hole 208 is reduced by its heating in a hydrogen atmosphere, and subsequently, a third copper layer 211 of a second wiring layer is formed by a chemical vapor growth. Thereby, the burying of the via hole 208 is performed.

?ss pn=10261715

S3 1 PN=10261715

?t s3/4/1

3/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- MULTILAYER INTERCONNECTION STRUCTURE AND ITS MANUFACTURE

PN- 10 -261715 -JP 10261715 A-

PD- September 29, 1998 (19980929)

AU- UENO KAZUYOSHI; VINCENT MICHAEL DONNELLY JR

PA- NEC CORP [000423] (A Japanese Company or Corporation), JP (Japan); LUCENT TECHNOL INC [000000] (A Non-Japanese Company or Corporation), US (United States of America)

AN- 09-341259 -JP 97341259-

AD- December 11, 1997 (19971211)

PR- 7-33,051 [US 33051-1996], US (United States of America), December 12, 1996 (19961212)

IC- -6- H01L-021/768; H01L-021/3205

CL- 42.2 (ELECTRONICS -- Solid State Components)

KW- R004 (PLASMA); R020 (VACUUM TECHNIQUES); R044 (CHEMISTRY -- Photosensitive Resins); R115 (X-RAY APPLICATIONS)

?ss pn=11220021

S4 1 PN=11220021

?t s4/4/1

4/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- MANUFACTURE OF SEMICONDUCTOR DEVICE

PN- 11 -220021 -JP 11220021 A-

PD- August 10, 1999 (19990810)

AU- TAKAGI HIDEO; NUNOFUJI WATARU

PA- FUJITSU LTD

AN- 10-019244 -JP 9819244-

AN- 10-019244 -JP 9819244-

AD- January 30, 1998 (19980130)

H01L-021/768; H01L-021/3065; H01L-021/28

AB- PROBLEM TO BE SOLVED: To provide a method for manufacturing semiconductor device with copper wiring, in which the resistance of a copper plug buried in a via hole can be reduced, when the via hole is formed into an interlayer insulating film and, at the same time, the

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-224194

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/3205				
21/285	3 0 1 R	7376-4M		
21/90	B	7514-4M		
		7514-4M	H 01 L 21/ 88	R
		7514-4M		M
			審査請求 未請求 請求項の数 4 O.L (全 7 頁)	

(21)出願番号 特願平5-10852

(22)出願日 平成5年(1993)1月26日

(71)出願人 000004226  
日本電信電話株式会社  
東京都千代田区内幸町一丁目1番6号

(72)発明者 粟屋 信義  
東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(72)発明者 有田 瞳信  
東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

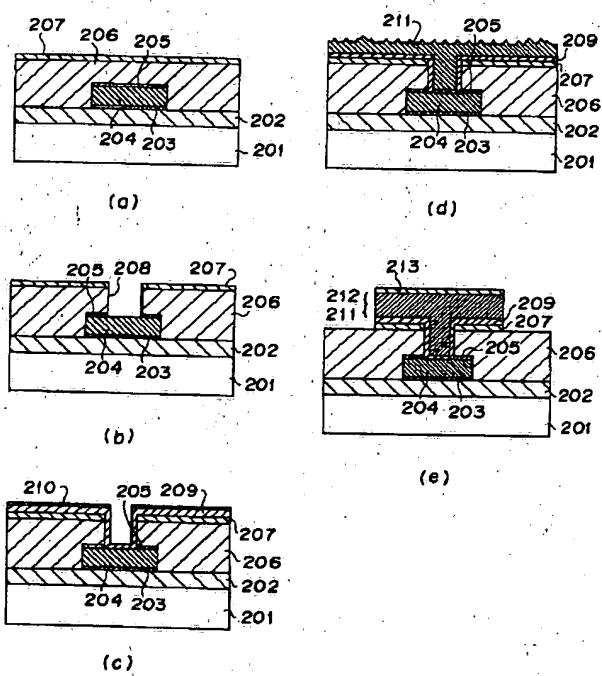
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 中間金属層の横方向エッチングを抑え、かつビア底部に汚染の無い銅を露出させ、銅の選択的化学気相反応によるビアホール埋め込みのための最適の前処理を行うことおよび該前処理工程を可能とする配線構造を実現することを目的とする。

【構成】 第1層配線層の第1の銅層204が露出するビアホール208を形成する。水素雰囲気中で加熱してビアホール208底面の銅を還元し、連続して化学気相成長で第2層配線層の第3の銅層211を形成する。これによりビアホール208の埋め込みを行う。



## 【特許請求の範囲】

【請求項1】 基板上に形成する配線の主材料として銅を用い、かつ層間絶縁膜と銅との密着性向上のための中間金属層を含む多層配線構造を有する半導体装置の製造方法において、

第1の中間金属層、第1の銅層および第2の中間金属層の積層構造からなる第1層配線層、該第1層配線層上の層間絶縁膜および該層間絶縁膜上にあって前記第1および第2の中間金属層と同一元素からなる第1の金属層をそれぞれ形成する工程と、

前記第1の金属層、前記層間絶縁膜および前記第2の中間金属層にピアホールを形成して前記第1の銅層の表面を露出する工程と、

該露出した第1の銅層の表面に対し200°C以上の温度で塩素を含むプラズマ処理を施して該表面の汚染を除去する工程と、

前記第1の金属層、ならびに前記ピアホールの内壁面および底面上に前記第1の金属層と同一元素からなる第2の金属層をスパッタリングにより堆積する工程と、  
水素雰囲気中で加熱することにより前記ピアホールの底面において露出する前記第1の銅層の表面を還元する工程と、

前記銅還元工程に連続して化学気相成長法により前記第1の銅層の露出表面上に第2の銅層を成長させて前記ピアホールの埋め込みを行う工程と、

スパッタリングにより前記第2の銅層上に第3の銅層を堆積し、連続して前記第1および第2の金属層と同一元素からなる第3の金属層を堆積することにより第2層配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 基板上に形成する配線の主材料として銅を用い、かつ層間絶縁膜と銅との密着性向上のための中間金属層を含む多層配線構造を有する半導体装置の製造方法において、

第1の中間金属層、第1の銅層および第2の中間金属層の積層構造からなる第1層配線層、該第1層配線層上の層間絶縁膜および該層間絶縁膜上にあって前記第1および第2の中間金属層と同一元素からなる第1の金属層をそれぞれ形成する工程と、

前記第1の金属層、前記層間絶縁膜および前記第2の中間金属層にピアホールを形成して前記第1の銅層の表面を露出する工程と、

前記第1の金属層、ならびに前記ピアホールの内壁面および底面上に前記第1の金属層と同一元素からなる第2の金属層をスパッタリングにより堆積する工程と、

前記第2の金属層をドライエッチングによる異方性加工により前記ピアホールの内壁面のみ残して前記ピアホールの底面において前記第1の銅層の表面を露出する工程と、  
水素雰囲気中で加熱することにより前記ピアホールの底

面において露出する前記第1の銅層の表面を還元する工程と、

前記銅還元工程に連続して化学気相成長法により前記第1の銅層の露出表面上に第2の銅層を成長させて前記ピアホールの埋め込みを行う工程と、

スパッタリングにより前記第2の銅層上に第3の銅層を堆積し、連続して前記第1および第2の金属層と同一元素からなる第3の金属層を堆積することにより第2層配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法において、

前記ピアホール埋め込み工程後に、銅のスパッタ堆積とスパッタエシチングを競合させるバイアススパッタリングにより前記第2の銅層の表面を平滑化する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項4】 請求項1ないし3のいずれかに記載の半導体装置の製造方法において、

前記第1、第2および第3の金属層の主材料は、タンタル、ニオビウムおよびバナジウムからなる群より選ばれたものであることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路等の半導体装置の製造方法に関するものである。

## 【0002】

【從来の技術】 シリコン半導体集積回路において、アルミニウムに代わる配線材料として、電気抵抗が低く、マイグレーション耐性を有する銅が注目されている。

【0003】 本発明者等は既に特願昭63-124006号、特願昭63-326063号、およびこれらを国内優先権の主張の基礎とした特開平2-256238号においてシリコン酸化膜等をマスクにして、金属上のみに選択的に銅を化学気相成長させコントロールおよびスルーホールを充填する技術を提案している。この選択成長の要点は銅の有機錯体または有機金属からなる原料を加熱して蒸発させ、水素と共に反応室に送り、金属もしくは金属シリサイドからなる第1の材料および酸化物もしくは窒化物からなる第2の材料を表面に有する基

板を原料のガスの分解温度以上に加熱し、蒸発させた原料のガスを、その分解温度より低い温度に保ったまま加熱された基板上に還元ガスと共に供給し、銅を第1の材料の表面上にのみ選択的に成長させるものである。基板全面に金属膜を有する下地基板では上述した化学気相成長で当然基板全面に銅膜が成長する。

【0004】 また、特願平2-56586号は原料に水蒸気等を添加することで堆積速度を増加させる技術を提案し、さらに特開平4-67655号は、特にピアホールの底面の金属中間層を除去し、銅を露出させ、銅表面の自然酸化膜が反応雰囲気中の水素で容易に還元される

ことを利用して、その上に上述の選択成長法でピアホール充填させることにより、低抵抗のピア埋め込みを実現する方法を開示している。

【0005】特開平4-242937号は絶縁膜を開孔した後、スパッタエッチングの後、拡散バリア性および絶縁膜との密着性を有する中間金属と銅を連続的にスパッタ堆積し、該スパッタ堆積した銅膜上に化学気相成長により銅膜を成長させ絶縁膜に開孔した穴を充填する方法を開示している。

【0006】上に述べた方法では、ピア底部に銅を露出する際、銅の上層の中間金属層をフェリシアン化カリウムを含有する水溶液で湿式エッチングにより除去していた。

【0007】しかし、湿式エッチングによりピア底部の中間金属層を除去しようとすると、中間金属層の横方向エッチングが起き、層間絶縁膜と銅の密着性を劣化させる恐れがある。

【0008】一方、ドライ加工により、銅を露出させることは可能だがエッチングガスに含まれるフッ素ガスにより銅表面がフッ化され該表面上に良好な銅CVDを行うことは難しいという問題を生じる。

#### 【0009】

【発明が解決しようとする課題】本発明はこれらの課題に鑑みてなされたもので、中間金属層の横方向エッチングを抑え、かつピア底部に汚染の無い銅を露出させ、銅の選択的化学気相反応によるピアホール埋め込みのための最適の前処理を行うことおよび該前処理工程を可能とする配線構造を実現することを目的とする。

#### 【0010】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、基板上に形成する配線の主材料として銅を用い、かつ層間絶縁膜と銅との密着性向上のための中間金属層を含む多層配線構造を有する半導体装置の製造方法において、第1の中間金属層、第1の銅層および第2の中間金属層の積層構造からなる第1層配線層、該第1層配線層上の層間絶縁膜および該層間絶縁膜上にあって前記第1および第2の中間金属層と同一元素からなる第1の金属層をそれぞれ形成する工程と、前記第1の金属層、前記層間絶縁膜および前記第2の中間金属層にピアホールを形成して前記第1の銅層の表面を露出する工程と、該露出した第1の銅層の表面に対し200℃以上の温度で塩素を含むプラズマ処理を施して該表面の汚染を除去する工程と、前記第1の金属層、ならびに前記ピアホールの内壁面および底面上に前記第1の金属層と同一元素からなる第2の金属層をスパッタリングにより堆積する工程と、水蒸気圧気中で加熱することにより前記ピアホールの底面において露出する前記第1の銅層の表面を還元する工程と、前記銅還元工程に連続して化学気相成長法により前記第1の銅層の露出表面上に第2の銅層を成長させて前記ピアホールの埋め込みを行う工程と、スパッタリングにより前記第2の銅層上に第3の銅層を堆積し、連続して前記第1および第2の金属層と同一元素からなる第3の金属層を堆積することにより第2層配線層を形成する工程とを含むことを特徴とする。

を行う工程と、スパッタリングにより前記第2の銅層上に第3の銅層を堆積し、連続して前記第1および第2の金属層と同一元素からなる第3の金属層を堆積することにより第2層配線層を形成する工程とを含むことを特徴とする。

【0011】請求項2記載の発明は、基板上に形成する配線の主材料として銅を用い、かつ層間絶縁膜と銅との密着性向上のための中間金属層を含む多層配線構造を有する半導体装置の製造方法において、第1の中間金属層、第1の銅層および第2の中間金属層の積層構造からなる第1層配線層、該第1層配線層上の層間絶縁膜および該層間絶縁膜上にあって前記第1および第2の中間金属層と同一元素からなる第1の金属層をそれぞれ形成する工程と、前記第1の金属層、前記層間絶縁膜および前記第2の中間金属層にピアホールを形成して前記第1の銅層の表面を露出する工程と、前記第1の金属層、ならびに前記ピアホールの内壁面および底面上に前記第1の金属層と同一元素からなる第2の金属層をスパッタリングにより堆積する工程と、前記第2の金属層をドライエッチングによる異方性加工により前記ピアホールの内壁面のみ残して前記ピアホールの底面において前記第1の銅層の表面を露出する工程と、水蒸気圧気中で加熱することにより前記ピアホールの底面において露出する前記第1の銅層の表面を還元する工程と、前記銅還元工程に連続して化学気相成長法により前記第1の銅層の露出表面上に第2の銅層を成長させて前記ピアホールの埋め込みを行う工程と、スパッタリングにより前記第2の銅層上に第3の銅層を堆積し、連続して前記第1および第2の金属層と同一元素からなる第3の金属層を堆積することにより第2層配線層を形成する工程とを含むことを特徴とする。

【0012】請求項3記載の発明は、請求項1または2記載の半導体装置の製造方法において、前記ピアホール埋め込み工程後に、銅のスパッタ堆積とスパッタエッチングを競合させるバイアススパッタリングにより前記第2の銅層の表面を平滑化する工程をさらに含むことを特徴とする。

【0013】請求項4記載の発明は、請求項1ないし3のいずれかに記載の半導体装置の製造方法において、前記第1、第2および第3の金属層の主材料は、タンタル、ニオビウムおよびバナジウムからなる群より選ばれたものであることを特徴とする。

【0014】

【作用】本発明を用いることにより、電気的に良好な特性を示すピアホール埋め込みを実現可能であり、かつ制御性の良好な銅配線加工が可能となる。

【0015】

【実施例】以下、実施例によって本発明を説明する。

【0016】堆積装置としては特願平2-56586号において示したものとほぼ同じ銅CVD装置を用いた。

図1に装置の概略を示す。反応室101は排気孔102を通して、図示しない排気系により排気可能である。試料基板104を板ばね105で保持する基板ホルダ103が反応室101内に設けられている。ヒータ106が基板ホルダ103に内蔵され、基板104を所定の温度に加熱できる。銅の有機錯体または有機金属化合物からなる原料108を収容する原料容器107が反応室101の外部に設置されている。反応室101内において基板ホルダ103と対向するガス噴射板109がパイプ110およびバルブ111を介して原料容器107に連結されている。ガス噴射板109には多数の微細なガス噴射口112が設けられている。原料容器107、パイプ110およびバルブ111をヒータ113によって所定の温度に加熱することができ、一方ガス噴射板109を内蔵されているヒータ114によって所定の温度に加熱することができる。還元性のキャリアガスとして水素がマスフローコントローラ117により、必要に応じて水蒸気がマスフローコントローラ118により制御され、バルブ119、111によりパイプ115を通って原料容器107内に導入される。図中116はOリングを示す。堆積反応はパイプ110を通ったガスと原料容器内で加熱、蒸発した原料ガスが反応室に導入されて行われる。すなわち、原料容器107内で加熱され、蒸発した原料ガスは水素とともに、または水素および水蒸気とともにガス噴射口112から噴射され、基板ホルダ103に固定された試料基板104の表面上に供給される。原料ガスは試料基板104の表面の材質に応じ、ある特定の材質、アルミニウム、チタン、クロム、ジルコニウム、タングステン、モリブデン、タンタル、バナジウムまたはそれらのシリサイドの上では分解して銅が成長し、他の特定の材質、酸化シリコンなどの金属酸化物、窒化シリコン、窒化チタンなどの窒化物の上では分解せず、従って銅が成長しない。これは原料ガスが還元性ガスによって還元され、分解する反応に対する各種材質の触媒作用の差によるものである。従って試料基板表面の材質を選ぶことによって、試料の全面に銅を成長させることができ、さらに試料表面の特定の位置の材質を他の位置の材質と変化させることによって、その特定の位置上に銅を選択的に成長させることもできる。その際、ガス噴射口112、すなわちガス噴射板109の温度および試料基板104の温度を正しく定めることが重要である。ガス噴射口112の温度が原料の固化析出温度以下では、蒸発した原料ガスが噴射板109上で固化し、ガス状で噴射されることはない。従ってこの温度では試料基板の温度に関係なく、銅の成長は生じない。ガス噴射口112の温度が原料ガスの分解温度以上では、原料ガスが分解し、銅が原子または分子状態となって試料基板の表面に到達し、従って試料基板の表面の材質によらず、その全面に成長する。ガス噴射口112の温度は、従って、原料ガスの固化析出温度より高く、かつ蒸発し

た原料ガスの分解温度より低くなければならない。一方試料基板の温度が、その上に銅を選択成長させるべき特定材質上での原料ガスの分解温度より低ければ、試料基板の表面に供給された原料ガスは分解せず、従って銅は成長しない。ガス噴射口112の温度が原料である有機錯体または有機金属の固化析出温度より高く、かつ分解温度より低く、試料基板の温度がその上に銅を選択成長させるべき材質上での原料ガスの分解温度以上である場合においてのみ、銅を試料基板の表面の特定の個所に選択成長させることができる。試料基板の温度が高すぎると、選択成長した銅の結晶粒が粗大化し、その表面が粗れるので好ましくない。出発原料としては、例えビスヘキサフルロアセチルアセトナト銅等の銅の二価の $\beta$ -ジケトナト化合物または銅の一価ヘキサフルロアセチルアセトナトにトリメチルビニルシリル等の電子供与性のリガンドを付加した化合物などを使用することができる。

【0017】〔実施例1〕本発明を多層配線ピア埋め込みに適用した一例を図2に示す。本例は、トランジスタの製造工程を経た半導体基板上の多層配線を例としたものである。

【0018】まず、図2の(a)に示すように、半導体基板201上に絶縁膜、例え酸化シリコン202を形成し、この絶縁膜202上に第1の中間金属層、例えタンタル203、第1の銅層204および第2の中間金属層、例えタンタル205よりなる第1層配線層を連続的にスパッタリングにより形成し反応性イオンエッチングにより加工する。次に、例えプラズマCVDによりシリコン窒化膜またはシリコン酸化膜を層間絶縁膜206として堆積し、さらにこの層間絶縁膜206の上に第1および第2の中間金属層203および205と同一元素からなる第1の金属層、ここではタンタル207をスパッタにより堆積する。

【0019】次に、図2の(b)に示すように第1の金属層207、層間絶縁膜206および第2の中間金属層205に対しフッ素含有ガス、例えCHF<sub>3</sub>と酸素との混合ガスを用いた反応性イオンエッチングを施すことによりピアホール208を開孔し、第1の銅層204を露出する。この露出した第1の銅層204に対し200°C以上の温度で塩素を含むプラズマ処理を行つて第1の銅層204の表面の汚染を除去する。

【0020】次に、図2の(c)に示すように、第1の金属層207と同一元素からなる第2の金属層209および第2の銅層210を、第1の金属層207上およびピアホール208の側面と底面にスパッタリングにより堆積する。

【0021】次に、図2の(d)に示すように、化学気相成長装置内で1000Pa以上の水素雰囲気中で200°C以上で加熱し、ピアホール底面の銅を還元し、連続して化学気相成長法による第3の銅層211を形成し、

ピアホール208の埋め込みを行う。ここで、ピアホールの埋め込みの標準的な処理条件としては、原料としてビスヘキサフロロアセチルアセトナト銅を用いた場合には原料温度を90°Cに設定し、水素100cc/minと水蒸気10cc/minと共に原料を反応室101に導入し、反応室内101の圧力を2000Paとし、基板温度390°Cで銅を堆積する。トリメチルビニルシリルヘキサフロロアセチルアセトナト銅を用いた場合は原料温度65°Cに設定し、水素100cc/minとともに原料を反応室内101に導入し、反応室101の圧力1000Pa、基板温度250°Cで銅を堆積する。CVDによる第3銅膜211は微細ピアホールでの被覆性が良いという利点がある反面、堆積速度が遅いためピアホールを充填した後は、さらにスパッタリングにより第4の銅層212および第1の金属層207と同一元素からなる第3の金属層213を連続的に堆積する。その後、図2の(e)に示すように塩素を含有するガスを用いたドライエッティングにより所定パターンの上層の配線層を形成する。

【0022】形成された多層配線の密着性は良好で、かつピア埋め込みは低抵抗であった。

【0023】【実施例2】本実施例も実施例1と同様に多層配線ピア埋め込みに適用した一例であり、図3を参照して説明する。

【0024】図3の(a)から(b)までに示す工程のうち、ピアホールを開孔して銅を露出させる工程までが実施例1と同様であるので、その説明を省略する。本実施例の特徴部分は上記ピアホール開孔工程以降の工程にある。

【0025】すなわち、第1の金属層207上にこれと同一元素からなる第2の金属層301をスパッタリングにより堆積したのち、この第2の金属層301のうち、ドライエッティングによる異方性加工によりピアホール208の側壁の部分のみを図3の(c)に示すように残し、ピアホール208の底面に下層配線としての第1の銅層204の表面を再び露出させる。ここで、実施例1と同様に、第1の銅層204の露出表面に対し200°C以上の温度で塩素を含むプラズマ処理を施すことによって銅表面の汚染を除去する。

【0026】次に、図3の(d)に示すように、化学気相成長装置内で水素雰囲気中で加熱し、ピアホール208の底面から露出している第1の銅層204の表面の銅を還元し、連続して化学気相成長法による第2の銅層302を形成することによって、ピアホール208の埋め込みを行う。

【0027】次いで、図3の(e)に示すように、第2の銅層302の上にスパッタリングにより第3の銅層303を形成するとともに、これに連続して第1の金属層207と同一元素からなる第3の金属層304を堆積する。その後、塩素を含有するガスを用いたドライエッチ

ングにより所定パターンの上層の配線層を形成する。

【0028】形成された多層配線の密着性は良好で、かつピア埋め込みは低抵抗であった。

【0029】【実施例3】本実施例も実施例1と同様に多層配線ピア埋め込みに適用した一例であり、図4を参照して説明する。

【0030】本実施例では、実施例1における図2の(d)に示した工程まで進行した基板を用いる。図4の(a)に示すように、この基板の第3の銅層211に対し、銅のスパッタ堆積とスパッタエッチングを競合させるバイアススパッタリングを施すことによって化学気相成長法による第3の銅層211の表面を平滑化する。次いで、図4の(b)に示すように、第1の金属層207と同一元素からなる第3金属層401をスパッタリングにより堆積したのち、塩素を含有するガスを用いたドライエッティングにより所定のパターンの上層の配線層を形成する。

【0031】形成された多層配線の密着性は良好で、かつピア埋め込みは低抵抗であった。

【0032】【実施例4】本実施例は、実施例1または3における下層および上層の配線層形成工程に際し、異方性加工技術を利用することによって図5に示すように各配線層の側壁にも中間金属層または窒化シリコン膜501を形成する工程をさらに含むものである。

【0033】形成された多層配線の密着性は良好で、かつピア埋め込みは低抵抗であった。

【0034】上記実施例1～4においては、配線層の銅表面の汚染を除去するのに塩素を含むプラズマ処理を用いているが、この塩素プラズマ処理温度については、図6を参考に設定することができる。図6は、塩化銅の固相、気相の平衡定数をJANAFのデータを元にグラフにしたものである。図6から、3量体の形で蒸発することがわかる。装置形状、反応条件で若干の差はあるが、200°C以上で塩化銅が表面に析出することなく、表面を清浄化することができる。実際に200°Cでの塩素プラズマ処理では良好な結果が得られている。

【0035】本発明では四塩化珪素と窒素の混合ガスで3から5Paの圧力、基板温度200から250°Cの範囲、電力100から200Wの範囲で塩素プラズマ処理を行うことができる。

【0036】

【発明の効果】以上説明したように、本発明によれば、低抵抗のピア埋め込み部分を有する銅多層配線を信頼性良く形成することが可能となり、LSI生産ラインにおいて技術的および経済的に顕著な進歩をもたらすことができる。

【図面の簡単な説明】

【図1】本発明に用いた半導体装置の製造装置の模式的断面図である。

【図2】本発明を適用した多層配線ピア埋め込みを説明

する図である。

【図3】本発明を適用した多層配線ピア埋め込みを説明する図である。

【図4】本発明を適用した多層配線ピア埋め込みを説明する図である。

【図5】本発明を適用した多層配線ピア埋め込みを説明する図である。

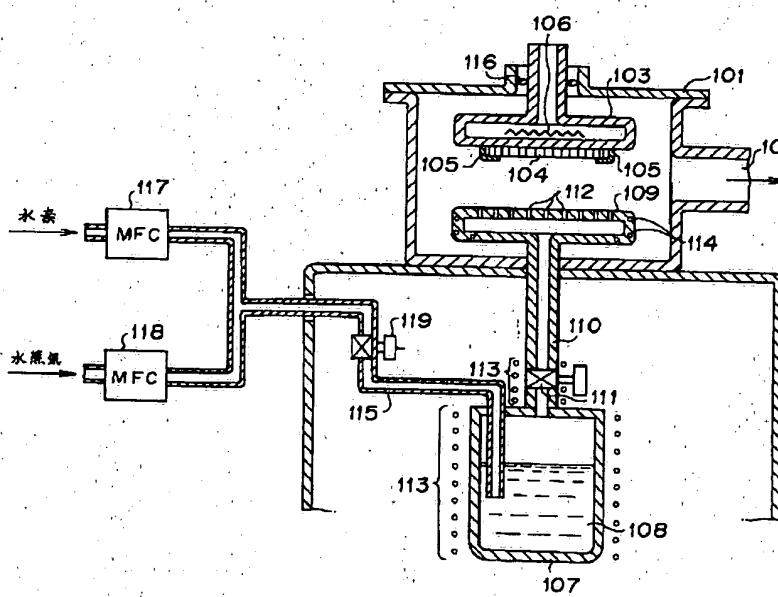
【図6】塩化銅の固相、気相の平衡定数を示すグラフである。

【符号の説明】

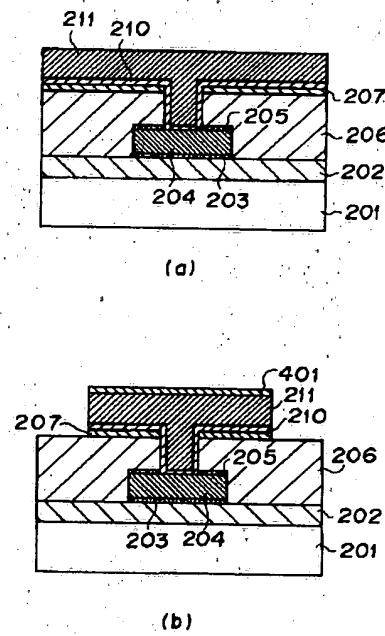
- 101 反応室
- 102 排気孔
- 103 基板ホルダ
- 104 基板
- 105 板ばね
- 106 ヒータ
- 107 原料容器
- 108 原料
- 109 ガス噴射板
- 110 パイプ
- 111 バルブ
- 112 ガス噴射口
- 113 ヒータ
- 114 ヒータ

115	パイプ
116	○リング
117	マスフローコントローラ
118	マスフローコントローラ
119	バルブ
201	半導体基板
202	絶縁膜
203	第1の中間金属層
204	第1の銅層
205	第2の中間金属層
206	層間絶縁膜
207	第1の金属層
208	ピアホール
209	第2の金属層
210	第2の銅層
211	第3の銅層
212	第4の銅層
213	第3の金属層
301	第2の金属層
302	第2の銅層
303	第3の銅層
304	第3の金属層
401	第3の金属層
501	窒化シリコン膜

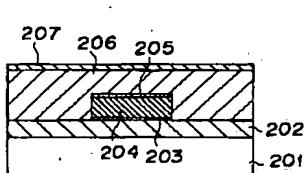
【図1】



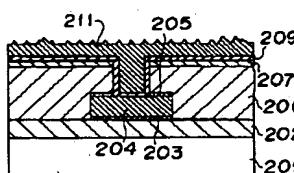
【図4】



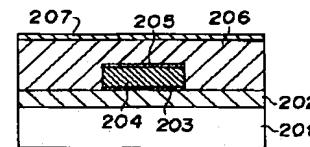
【図2】



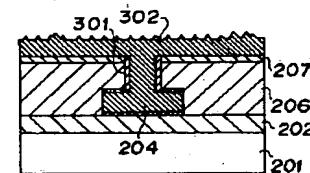
(a)



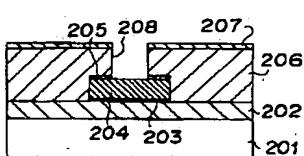
(d)



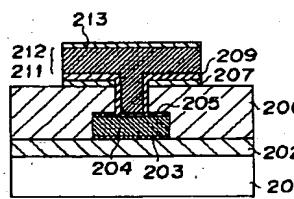
(a)



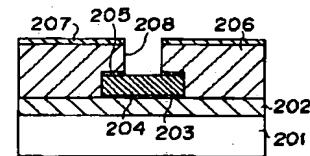
(d)



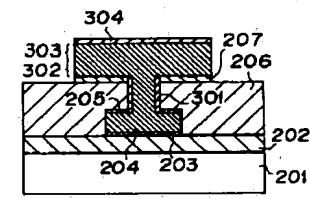
(b)



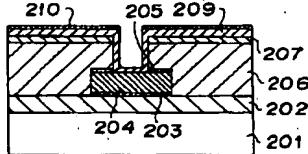
(e)



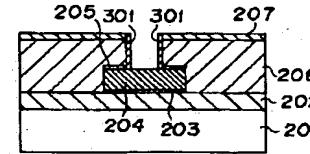
(b)



(e)

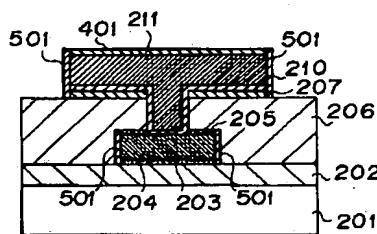


(c)



(c)

【図5】



【図6】

